

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS.

(11)Publication number: 1020010008411 A
(43)Date of publication of application: 05.02.2001

Application number: 1019980058886

Date of filing: 26.12.1998

Classification: H01L 21/28

(71)Applicant:

HYNIX SEMICONDUCTOR INC.

(72)Inventor:

SHIN, SEUNG U

METHOD FOR MAKING CHARGE STORAGE ELECTRODE OF CAPACITOR

Abstract:



POSE: A method for making a charge storage electrode of a capacitor is provided to increase a charge storage efficiency by forming many grains having the same size on inner and outer walls.

DISCUSSION: In a method for forming a charge storage electrode of a capacitor, a polysilicon layer(30) and a core oxide layer are deposited on an insulating layer(20) of a semiconductor substrate(10) and etched. A first amorphous silicon layer(50) doping phosphorus is deposited on the resultant material. A second amorphous silicon layer not doped with phosphorus is deposited on the first amorphous silicon layer. The resultant material is etched to form a charge storage electrode(70), thereby exposing a core oxide layer upward. A silicon atom is deposited on a surface of the charge storage electrode formed after removing the core oxide layer, thereby growing many grains on the inner and outer walls. Thereby, the method for making a charge storage electrode of a capacitor increases charge storage efficiency by forming many grains having the same size on inner and outer walls.

RIGHT 2001 KIPO

Status

Final disposal of an application (20020322)

Registration number (1003349600000)

Registration (20020418)

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/28

(11) 공개번호 특2001-0008411
(43) 공개일자 2001년02월06일

(21) 출원번호 10-1998-005886
(22) 출원일자 1998년 12월 26일

(?) 출원인 현대전자산업 주식회사 김영환

경기 아천시 불발을 아끼리 신136-1

(72) 말머자

경기도 이천시 증평동 94-3번지 신화아파트 105-1902

(24) 대리의

설사집구 : 암울

(54) 커고시터의 전하저장장치의 혼성방법

四

본 발명은 커피시티의 전하지장전극을 형성하는 방법에서, 반도체기판상의 절연막에 풀리실리콘층 및 코어산화막을 적층한 후 상기 결과물 상에 도핑이 된 제1비정질실리콘층을 적층하는 단계와; 상기 단계 후 상기 제1비정질실리콘층 상에 도핑이 되지 않은 제2비정질실리콘층을 적층하는 단계와; 상기 단계 후 상부로 노출된 코어산화막을 세거한 후 형성된 전하지장전극의 표면에 살리코늄원자를 도포하여 성장시켜서 내, 외벽면에 그레인을 성장시키는 단계로 이루어진 커피시티의 전하지장전극 형성방법인 바, 전하지장전극의 내, 외벽면에 형성되는 그레인의 사이즈를 동일하게 형성하여 전하지장 효율을 증대시키도록 하는 매우 유용하고 효과적인 발명이다.

四

五五

卷八

도학의 관점과 설명

도 1·내지 도 6는 본 발명에 따른 커페시터의 전하저장전극 형성방법을 순차적으로 보인 도면이다.

도로 주변 환경에 대한 조사 결과

10 : 반도체기판 20 : 절연막

30 : 폴리실리콘총 40 : 코대산학막

50 : 제1비정질실리콘롤 60 : 제2비정질실리콘롤

70 · 韓國社會論

— 4 —

본 발명은 커파시터에 관한 것으로서, 특히, 제1비정질실리콘층 상에 인미 도핑되지 않은 제2비정질실리콘층을 적용한 후 전하저장전극을 형성하고, 연속하여 실리콘원자를 전하저장전극의 표면에 도포하여 성장시키므로 내, 외벽면에 형성되는 그레인의 사이즈를 동일하게 형성하여 전하저장 효율을 증대 시키도록 하는 바이다.

일반적으로, 커패시터는 전하를 저장하고, 반도체소자의 동작에 필요한 전하를 공급하는 부분으로서, 반도체 소자가 고질적화 되어짐에 따라 단위 셀(Cell)의 크기는 작아지면서 소자의 동작에 필요한 전류 유량(Current)은 양과 쌍 증가하는 경향이 있으면서 결정된다.

미와 같이, 반도체 소자의 고집적화가 미루어짐에 따라 커패시터 역시 소형화될 것을 요구 되어지고 있으나, 전하를 저장하는 데 한계에 부딪히게 되어 커패시터는 셀의 크기에 비하여 고집적화시킨 데 어려움을 품고 있다.

방법이 주로 이용되고 있다.

즉, 커파시터의 전하저장전극의 구조를 보면, 크게 전하를 저장하는 전극은 좁은 평면적 위에 여러층을 쌓아서 넓은 커파시터의 면적을 얻고자 하는 적층구조(Stacked Structure)와, 반도체기판에 일정한 깊이의 홈을 형성한 후에 그 부위에 커파시터를 형성하여 전하를 저장하도록 하는 터 구조(Tranch Structure) 등으로 크게 대별되어지고 있다.

특히, 상기 적층구조(Stacked Structure)는 핀 형상으로 형성된 핀(Fin)타입과, 실린더와 같이 원통형상으로 형성되는 셀린더(Cylinder)타입 및 캐비티(Cavity)타입에 변형을 가미한 HSG(Hemispherical Shaped Grains) 및 벨로즈(Bellows) 등과 같은 변형 커파시터구조등으로 구성되어 커파시터의 충전용량을 증가시키는 노력이 이루어지고 있다.

상기한 구조중에서 캐비티를 갖는 HSG타입은 커파시터의 전하저장전극에 전하저장홀을 형성하고, 그 전하저장홀의 주변에 실리콘을 원형의 둘기형상으로 형성하여 전하를 저장하기 위한 전극의 면적을 증가시키는 구조로서, 하부저장전극을 형성하기 위하여 폴리실리콘층의 상부면을 포토에칭공정으로 식각한 후 그 상부면에 입자의 성장 핵역할을 하는 씨드(Seed, 실리콘 웜자임)를 형성하고, 그 후 머닐링공정으로 비정질폴리실리콘층의 실리콘을 표면으로 이동하도록 하여 실린더 협상의 전하저장홀의 벽면에 작은 그레인을 기를 형성하여 전하저장전극의 표면적을 증대시키도록 하였다.

그런데, 상기한 증래의 방식은 코어산화막 상부면과 축면부분에 비정질실리콘층을 적층하여 식각으로 축면부분의 전하저장전극(Side Wall Storage Electrode)을 형성하고 내부에 있는 코어산화막을 제거함으로 전하저장전극을 형성하게 되지만 전하저장전극의 내측벽 부분은 전하저장용 인-시튜(In-Situ) 도프트된 비정질실리콘 증착시 증착이 시작되는 박막 지역으로서 증착이 완료되는 박막 지역인 전하저장전극의 외측벽 부분보다 포스포리스 농도가 낮기 때문에 전하저장전극 표면에 씨드인 실리콘 웜자를 흡착시켜 그레인을 기를 형성할 때 내벽면의 그레인 사이즈는 외벽면보다 크게 되어 양벽면의 그레인 사이즈가 균질하지 못하므로 전하의 저장용량을 극대화하지 못하는 문제점을 지니고 있었다.

발명의 이루고자 하는 기술적 목표

본 발명의 목적은 폴리실리콘층 및 코어산화막 상에 도핑된 제1비정질실리콘층을 통상적인 적층 두께보다 얇은 두께로 적층하고, 그 결과를 상에 도핑이 되지 않은 제2비정질실리콘층을 적층한 후 코어산화막을 식각으로 제거하여 전하저장전극을 형성하고, 연속하여 실리콘원자를 전하저장전극의 표면에 도포하여 성장시키므로 내, 외벽면에 형성되는 그레인의 사이즈를 동일하게 형성하여 전하저장 효율을 증대시키는 것이다.

발명의 구성 및 작용

이러한 목적은 커파시터의 전하저장전극을 형성하는 방법에서, 반도체기판상의 절연막에 폴리실리콘층 및 코어산화막을 적층한 후 상기 결과를 상에 만이 도핑된 제1비정질실리콘을 적층하는 단계와; 상기 단계 후 상기 제1비정질 실리콘층 상에 만이 도핑 되지 않은 제2비정질실리콘층을 적층하는 단계와; 상기 단계 후 상부로 노출된 코어산화막을 제거한 후 형성된 전하저장전극의 표면에 실리콘원자를 도포하여 내, 외벽면에 그레인을 성장시키는 단계로 이루어진 커파시터의 전하저장전극 형성방법을 제공함으로써 달성된다.

그리고, 상기 제1비정질실리콘층을 증착할 때 저압화학기상증착법으로 530°C이하의 온도를 유지하여 SiH₄ 또는 Si₂H₆ 가스와 동시에 PH₃ 가스를 함께 주입하여 통상적인 적층 두께보다 50Å이상 얕게 증착하도록 한다.

또한, 상기 제2비정질실리콘층은 PH₃ 가스의 주입을 중단하고, SiH₄ 또는 Si₂H₆ 가스만을 주입하도록 하며 상기 제1비정질실리콘층을 통상적인 적층 두께보다 50Å이상 얕게 증착한 부분을 보충하는 두께로 적층하도록 한다.

한편, 상기 도핑된 제1비정질실리콘층의 인의 도핑 농도를 1.5×10^{19} atoms/cm² 미하로 조절하도록 한다. 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일실시예에 대해 상세하게 설명하고자 한다.

도 1은 반도체기판(10)상의 절연막(20)에 폴리실리콘층(30) 및 코어산화막(40)을 적층한 후 식각으로 전하저장전극의 형성부위를 제외한 부위의 나머지 부분을 제거하는 상태를 도시하고 있다.

도 2는 상기 상기 결과를 상에 도핑이 된 제1비정질실리콘을 적층하는 상태를 도시하고 있는 것으로서, 상기 제1비정질실리콘층을 증착할 때 저압화학기상증착법(Low Pressure Chemical Vapor Deposition: LPCVD)으로 530°C이하의 온도를 유지하여 SiH₄ 또는 Si₂H₆ 가스와 동시에 PH₃ 가스를 함께 주입하여 통상적인 적층 두께보다 50Å이상 얕게 증착하도록 한다.

이때, 제1비정질실리콘층(50)의 인의 체적농도를 1.5×10^{19} atoms/cm³ 미하로 조절하도록 한다.

그리고, 도 3은 상기 단계 후 상기 제1비정질 실리콘층 상에 도핑이 되지 않은 제2비정질실리콘층을 적층하는 상태를 도시한 것으로서, 제2비정질실리콘층은 PH₃ 가스의 주입을 중단하고, SiH₄ 또는 Si₂H₆ 가스만을 주입하도록 하여 상기 제1비정질실리콘층을 통상적인 적층 두께보다 50Å이상 얕게 증착한 부분을 보충하는 두께로 적층하도록 한다.

도 4는 상기 제1, 2비정질실리콘층(50)(60)을 식각하여서 상부면을 노출하도록 하는 상태를 도시하고 있는 도면이다.

도 5는 상기 단계 후 상부로 노출된 코어산화막(40)을 제거한 상태를 도시하는 도면이다.

도 6은 상기 전하저장전극(70)의 표면에 실리콘(Si)원자를 도포하여 머닐링공정으로

비정질실리콘층(50)(60)에 있는 실리콘을 표면으로 이동시켜, 전하저장전극(70)의 내, 외벽면에 그레인(Grain)을 성장시키는 상태를 도시하고 있다.

이때, 상기 전하저장전극(70)은 제1비정질실리콘층(50)의 외측면에 제2비정질실리콘층(60)이 겉처 형성되는 것으로, 제1비정질실리콘층(50)에 많이 함유되어진 인(Phosphorous)이 별로 함유되지 않은 제2비정질 실리콘층(60)에서 차단하는 역할을 하므로 결국에는 전하저장전극(70)의 내, 외벽면의 인의 농도를 거의 같도록 하여 되어 내, 외벽면에 형성되는 내, 외벽그레인(80)(85)의 사이즈를 동일하게 유지하도록 한다.

설명의 흐름

상기한 바와 같이, 본 발명에 따른 커파시터 전하저장전극형성방법을 이용하게 되면, 폴리실리콘층 및 코어산화막 상에 도핑된 제1비정질실리콘층을 통상적인 적층 두께보다 얇은 두께로 적층하고, 그 결과물을 상에 도핑이 되지 않은 제2비정질실리콘층을 적층한 후 코어산화막을 식각으로 제거하여 전하저장전극을 형성하고, 연속하여 실리콘원자를 전하저장전극의 표면에 도포하여 성장시키므로 내, 외벽면의 인의 농도를 내, 외벽면에 형성되는 그레인의 사이즈를 거의 동일하게 형성하여 전하저장 효율을 증대시키도록 하는 매우 유용하고 효과적인 발명이다.

(57) 청구의 범위

청구항 1. 커파시터의 전하저장전극을 형성하는 방법에 있어서,

반도체기판상의 절연막에 폴리실리콘층 및 코어산화막을 적층하여 패터닝한 후 상기 결과물 상에 인이 도핑된 제1비정질실리콘을 적층하는 단계와;

상기 단계 후 상기 제1비정질 실리콘층 상에 인이 도핑 되지 않은 제2비정질실리콘층을 적층하는 단계와; 상기 결과물을 식각하여 코어산화막이 상부면으로 노출되도록 전하저장전극을 형성하는 단계와;

상기 단계 후 상부로 노출된 코어산화막을 제거한 후 형성된 전하저장전극의 표면에 실리콘원자를 도포하여 내, 외벽면에 그레인을 성장시키는 단계를 포함한 것을 특징으로 하는 커파시터의 전하저장전극 형성방법.

청구항 2. 제 1 항에 있어서, 상기 제1비정질실리콘층을 증착할 때 저압화학기상증착법으로 530°C이하의 온도를 유지하여 SiH₄ 또는 Si₂H₆ 가스와 동시에 PH₃ 가스를 함께 주입하여 통상적인 적층 두께보다 50 Å 이상 얕게 증착하는 것을 특징으로 하는 커파시터의 전하저장전극 형성방법.

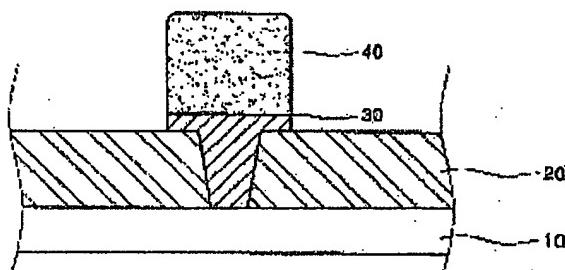
청구항 3. 제 1 항 또는 제 2 항에 있어서, 상기 제2비정질실리콘층은 PH₃ 가스의 주입을 중단하고, SiH₄ 또는 Si₂H₆ 가스만을 주입하도록 하여 상기 제1비정질실리콘층을 통상적인 적층 두께보다 50 Å 이상 얕게 증착한 부분을 보통하는 두께로 적층하는 것을 특징으로 하는 커파시터의 전하저장전극 형성방법.

청구항 4. 제 1 항에 있어서, 상기 제1비정질실리콘층의 인의 체적농도를 1.5×10^{19} atoms/cm³ 이하로 조절하는 것을 특징으로 하는 커파시터의 전하저장전극 형성방법.

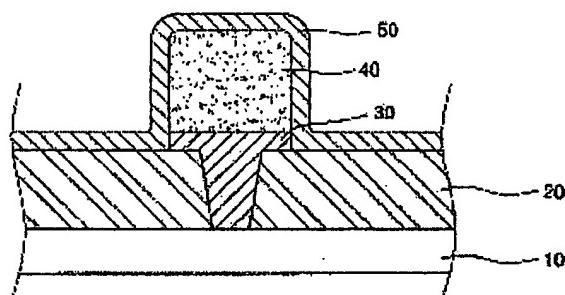
청구항 5. 제 3 항에 있어서, 상기 제2비정질실리콘층을 증착할 때, 530°C이하의 온도로 증착하는 것을 특징으로 증착하는 것을 특징으로 하는 커파시터의 전하저장전극 형성방법.

도면

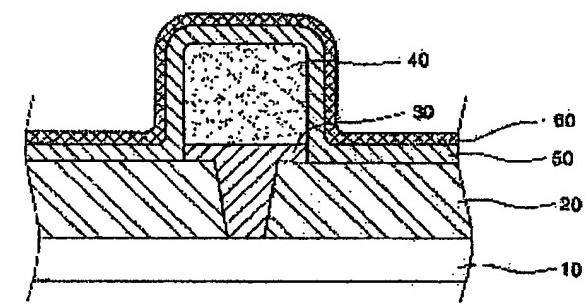
도면 1



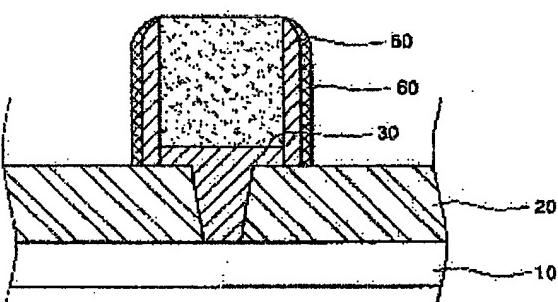
도면2



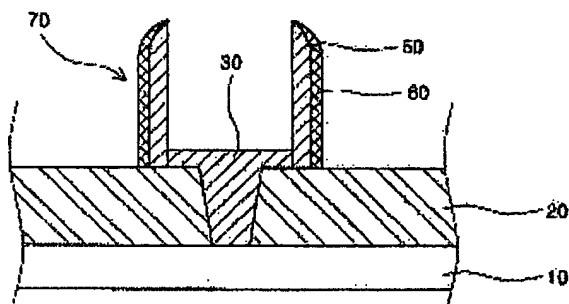
도면3



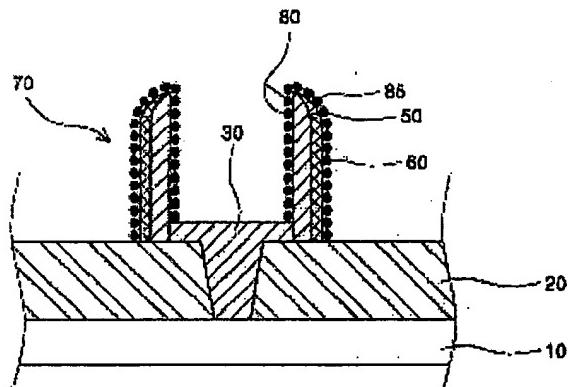
도면4



도면5



도면



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.